|  |  |
| --- | --- |
| **실험 결과 보고서**  **(5주차)** | 학 번 : 122201856  이 름 : 김다영  제출일 : 2021.04.05  분 반 : 002  실험조 : 개인 |

1. **실험 제목 : Series-Parallel Combination Circuits**
2. **실험 목적 :** 
   * 1. 직렬과 병렬로 연결된 저항을 인지하고, 등가 저항을 구하기 위해 직렬 연결된 저항과 병렬 연결된 저항을 결합하기 위한 규칙을 사용할 수 있다.
     2. 직렬-병렬 조합 회로에서 전류와 전압을 계산할 수 있다.
3. **실험준비**
4. 장비 셋팅 : OrCad Pspice
5. 사용기구 및 부품 : OrCAD Pspice
6. 실험 절차(Pspice 실행 과정)

실험(1)

1. 강의자료에 제시된 실험1~4의 회로를 OrCad Pspice를 이용해여 설계한다.
2. Simulation을 통해 구하고자 하는 전류 및 전압의 크기를 구한다.
3. Simulation을 통해 구한 실험 결과와 KVL, KCL등을 이용해 구한 이론 값을 비교한다.
4. **실험결과**

**실험1 Series Circuits**

OrCad Pspice를 이용해 실험1의 [회로1]을 simulation한 결과는 다음과 같다.

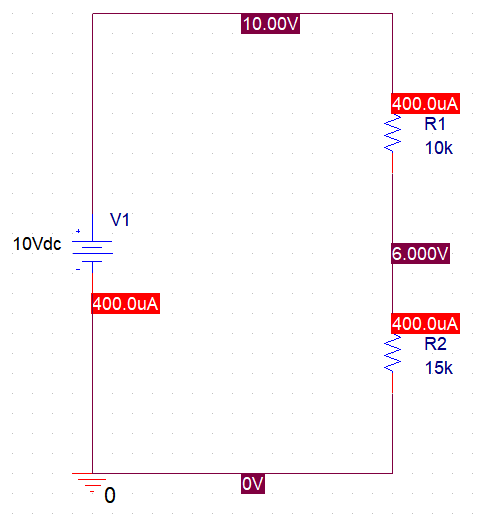


그림 1.1 실험1의 회로



**그림 1.2 회로(그림 1.1) Pspice \*.net 스크린샷**

Simulation을 한 결과 회로의 전체 전류 It는 400.0μA이다.

KVL에 의해 다음의 식이 성립한다.

KCL에 의해

이므로 따라서 이론을 통해 구한 이론값 It는

이며 전류의 방향은 시계 방향이다. - (1)

이론을 통해 구한 이론값 It는 400μA이므로 V1을 계산하기 위해 Ohm’s law를 이용하면

이다. – (2)

동일하게 V­2­를 구하면

이다. – (3)

즉, V1+V2=Vs(4V+6V=10V)인 것으로 보아 직렬 저항 회로에서는 전압원에서 전달되는 전압을 분배하여 가진다는 것을 유추해볼 수 있다. 또 전압원과 두 저항에서 동일한 전류가 흐르는 것을 통해서 직렬 회로 에서는 모든 소자에서의 전류가 동일하다는 것도 유추할 수 있다. (실제로 KCL을 통해 모든 소자에서 전류가 동일하다는 것을 알 수 있다.)

Pspice를 통해 Simulation한 결과를 통해 V1이 4V, V2가 6V라는 것을 알 수 있다. 이를 통해 이론값(계산값)과 실험값이 동일하다는 것을 알 수 있으며, 이론값과 실험값을 표로 정리하면 다음과 같다. – (4)

|  |  |  |
| --- | --- | --- |
|  | 계산값 | 측정값 |
| It |  |  |
| V1 |  |  |
| V2 |  |  |

표 1.1 실험1의 결과표

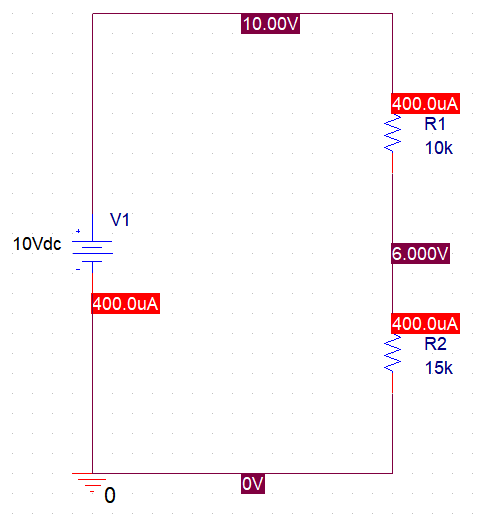




그림 1.3 실험1의 회로에서의 KVL

폐회로의 방향을 시계 방향으로 설정하자. 전류(I­t)의 방향이 폐회로의 방향과 일치하므로 각 저항에서는 전압이 감소, 전압원에서는 전압이 상승하는 방향으로 폐회로가 설정 돼있는 것이다. 즉, 전압원은 이고 각 저항들은 이 된다.

따라서

이 된다. – (5)

R2(=R4)를 개방하면(R2를 회로에서 떼어내면) R2의 값이 무한대가 된 것과 같다. 직렬 저항 회로에서는 전압분배 법칙이 성립하므로 이를 통해 전압을 구하면

이 된다. 이를 Pspice를 통해 Simulation하면 다음과 같다. Pspice에서는 저항을 개방하면Open circuit Error가 발생하므로 R2를 R1(=R3)에 비해 매우 큰 값(100meg)으로 설정해준다.

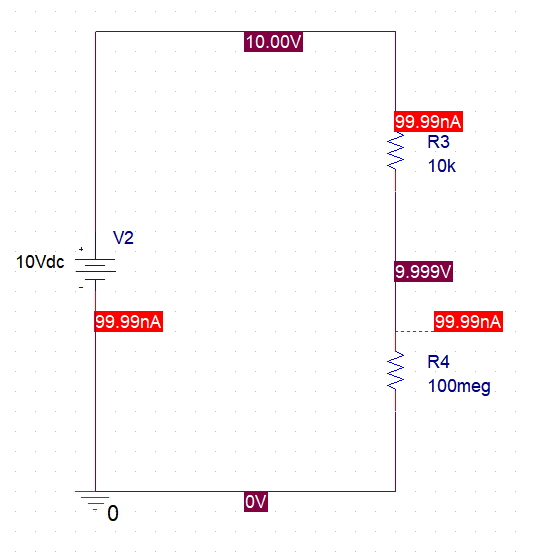


그림 1.4 저항 R2를 개방했을 때의 회로



**그림 1.5 회로(그림 1.4) Pspice \*.net 스크린샷**

Simulation 결과 R1에서의 전압은 0에 가까운 값이 되며 R2의 값은 Vs와 비슷한 값을 가진다는 것을 알 수 있다. 즉 Vs에 대한 전압이 모두 저항 R2에 걸리게 되므로 R1는 0이 된다는 것을 통해 키르히호프 법칙이 성립함을 알 수 있다. – (6)

**실험2 EVALUATION AND REVIEW QUESTIONS**

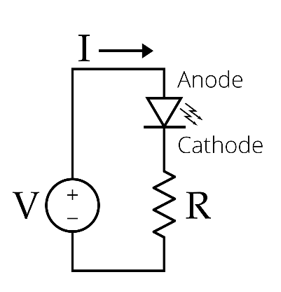


그림 2.1 LED 응용 저항회로

강의자료에 따르면 회로에 흐르는 전류 I는 10mA이고 전압원에서는 5V, 다이오드에서는 1.8V가 발생한다. 더욱 수월하게 계산하기 위해 다이오드를 전압원으로 바꿔 생각하여 다음과 같이 회로를 나타낼 수 있다.

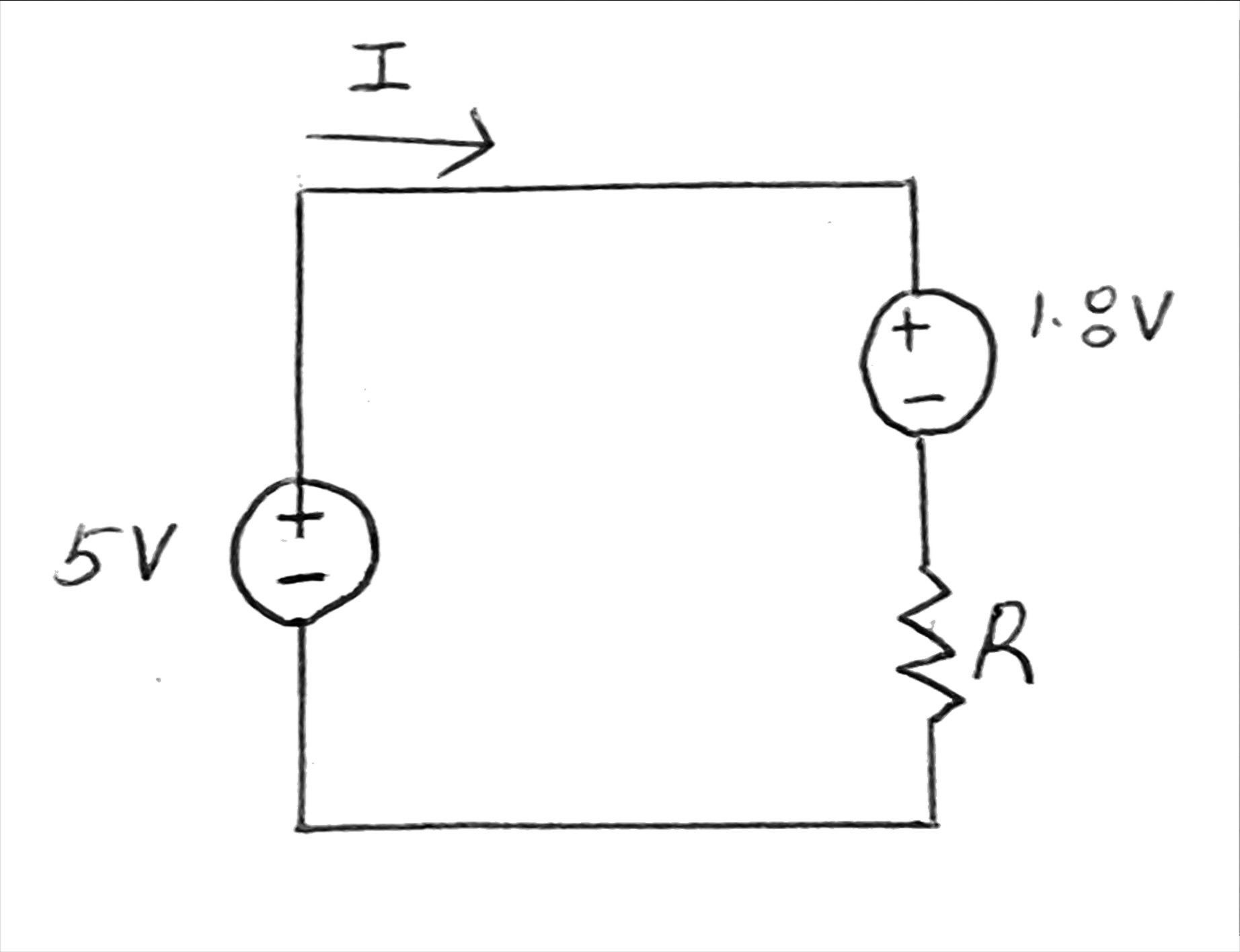




그림 2.2 다이오드를 전압원으로 치환하여 그린 회로

이 회로에서 시계 방향으로 폐회로를 설정하여 KVL을 이용하면

이 된다. 따라서 R은 320이 되어야 한다. - (a)

저항 R에서 소비되는 전력을 구해보자. 저항 R에서의 소비 전력은

이다. – (b)

**실험3 Series-Parallel Combination Circuits (1), (2)**

Pspice를 통해 강의 자료에 나와있는 [회로3]을 구성하면 다음과 같다. – (1)

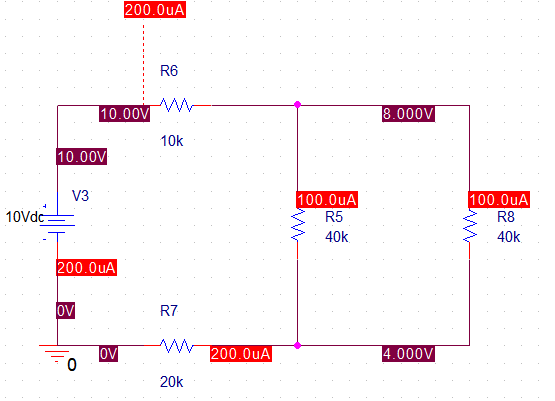
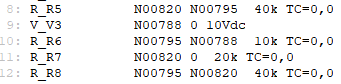


그림 3.1 실험3의 회로



**그림 3.2 회로(그림 3.1) Pspice \*.net 스크린샷**

위의 회로에서 R2­(=R5)와 R3(=R8)은 병렬 연결되어 있으므로 등가 저항 R23(=R14)으로 나타낼 수 있다. 등가 저항 R23은 다음의 병렬 회로에서의 등가 저항 계산에 의해

이 된다. 따라서 등가 저항을 통해 다음과 같이 회로를 나타낼 수 있다. – (2)

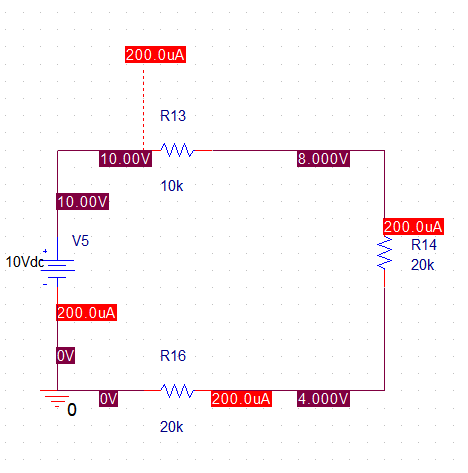
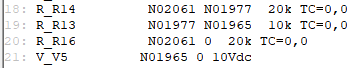


그림 3.3 등가 저항(R23)을 이용한 실험3의 회로



**그림 3.4 회로(그림 3.3) Pspice \*.net 스크린샷**

총 저항 Rt를 계산해보자. R1(=R13), R23(=R14), R4(=R16)은 직렬 연결되어 있으므로 직렬 회로에서의 등가 저항 계산에 의해

이 된다. – (4)

전압분배 법칙을 이용해 V1­, V2­3, V4를 구하면­

이다. Vs=V1+V23+V4즉, 직렬 회로에서는 저항 R에 비례해 전압원의 전압을 분배하여 가진다는 것을 알 수 있다. – (5)

실험3-(4)의 과정을 통해 총 저항 Rt가 50K라는 것을 알 수 있었다. 전압원에 의해 공급되는 전압은 10V이므로 Ohm’s law에 의해

가 된다. – (6)

는 이고 그림 3.3의 회로에서 R1­, R2­3, R4은 모두 직렬 연결되어 있으므로 각 저항에서의 전류는 It로 동일하다. 따라서 Ohm’s law를 이용해 V1­, V2­3, V4를 구하면

­가 된다. – (7)

V23은 4V이고 R2와 R3는 병렬 연결되어 있으므로 병렬회로에서의 전류분배 법칙에 의해

이 된다. 따라서 가 되는 것을 알 수 있다. 이는 R2와 R3이 나누어지는 node에서의 KCL 법칙을 통해서도 확인할 수 있다. – (8)

그림 3.1에서의 Pspice Simulation 결과를 통해

가 되는 것을 확인할 수 있다. – (9)

실험3-(1)~(9) 과정을 통해 구한 결과값은 다음과 같다.

|  |  |  |  |
| --- | --- | --- | --- |
|  | Computed | | Measured |
| Voltage Divider | Ohm’s Law |
| Rt |  |  |  |
| I­t |  |  |  |
| V1 | 2V | 2V | 2V |
| V2,3 | 4V | 4V | 4V |
| V4 | 4V | 4V | 4V |
| I2 |  |  |  |
| I3 |  |  |  |
| Vs | 10V | 10V | 10V |

표 3.1 실험3의 결과표

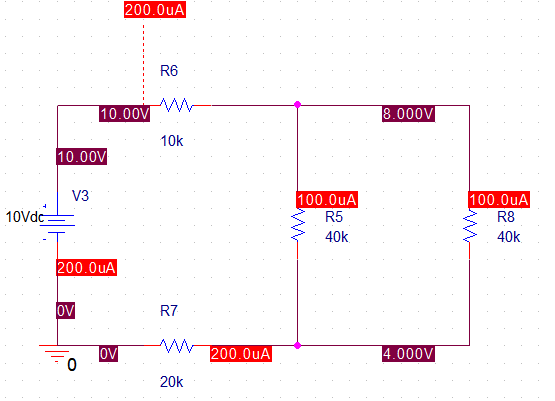




그림 3.5 실험3의 회로에서의 KCL/KVL

표 3.1의 값들에 따라 실험3 회로에서의 KCL/KVL이 성립함을 확인해보자. node a에서 들어가는 전류는 It이고 나가는 전류는 I2와 I3이 된다. 또 node b에서 들어가는 전류는 I2와 I3이고 나가는 전류는 It가 된다. 즉 It=200이고 I2=I3=이므로 It=I2+I3가 된다. 따라서 각 node a, b에서 KCL이 성립함을 알 수 있다. 또 그림 3.3의 회로에서 직렬 연결된 저항들은 전압원에서 전달되는 전압을 각각 나눠가지는 것을 알 수 있다. 즉, Vs= V1+ V23+ V3이 된다. 이를 통해 KVL이 성립함을 알 수 있으며 실제로 폐회로 loop A, B, C에서의 KVL을 계산해보면

각 폐회로에서 KVL이 성립하는 것을 알 수 있다. – (10)

**실험4 Series-Parallel Combination Circuits**

Pspice를 통해 강의 자료에 나와있는 [회로4]를 구성하면 다음과 같다.

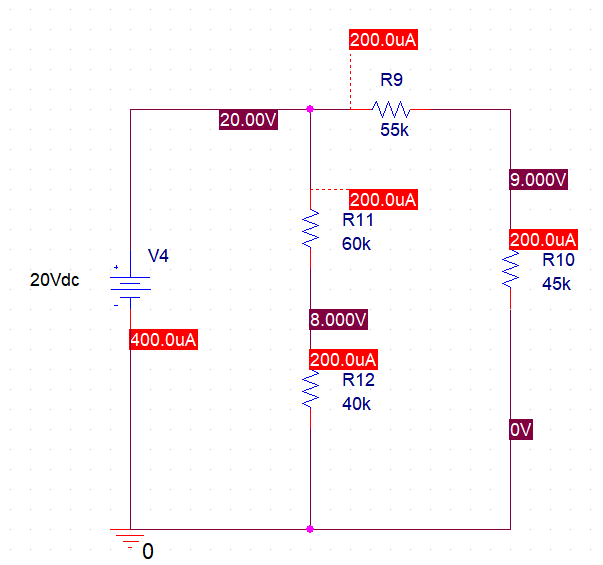
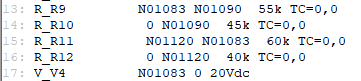


그림 4.1 실험4의 회로



**그림 4.2 회로(그림 4.1) Pspice \*.net 스크린샷**

위의 회로에서 저항 R1(=R11)과 R2(=R12), R3(=R9)와 R4(=R10)는 각각 직렬 연결되어 있으므로

이 된다.

위의 등가저항 계산값을 활용하여 회로를 다음과 같이 작성할 수 있다. – (10)

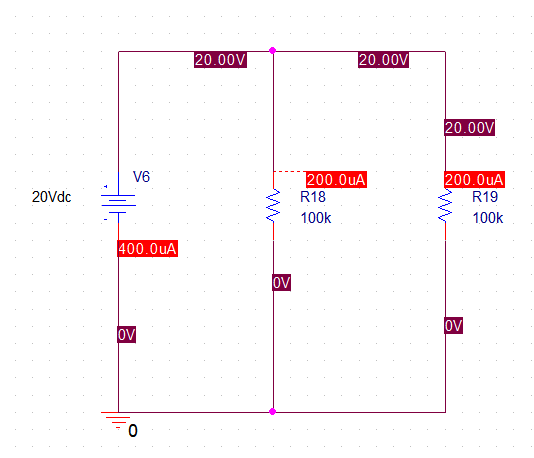


그림 4.3 등가저항 R12, R34­로 구성한 실험4의 회로



**그림 4.4 회로(그림 4.3) Pspice \*.net 스크린샷**

R12와 R23은 병렬연결 되어 있으므로 병렬회로에서의 등가저항 Rt를 계산하면

이다. 따라서 전류 It는

이므로

가 된다. Pspice를 통해 측정한 It의 측정값은 400로 계산값과 동일하다는 것을 알 수 있다. – (11)

V12와 V34는 병렬 연결되어 있으므로 전압원과 동일한 전압을 갖게 된다. 따라서

이고

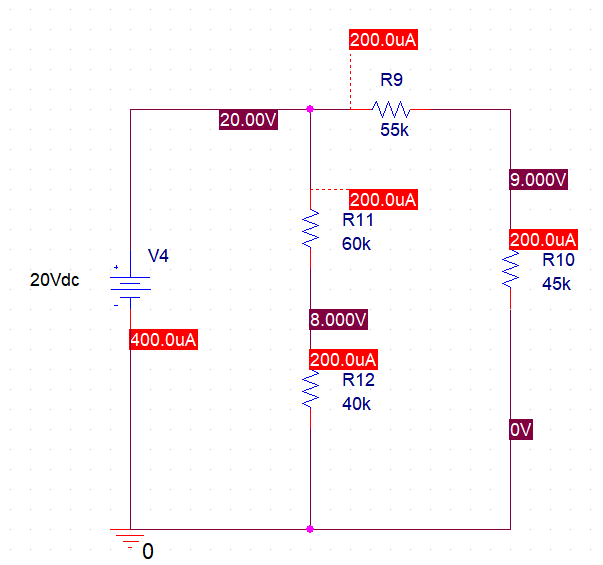
가 된다. 실험4-(11)에서 라는 것을 알 수 있었고 V1과 V2, V3과 V4­가 직렬 연결되어 있으므로 전압 분배법칙에 의해

가 된다. 이는 그림 4.1, 4.3을 통한 측정값과도 값이 동일하다는 것을 알 수 있다. – (12)

실험4-(10)~(12) 과정을 통해 구한 결과값은 다음과 같다.

|  |  |  |
| --- | --- | --- |
|  | Computed | Measured |
| R1,2 |  |  |
| R3,4 |  |  |
| Rt |  |  |
| It |  |  |
| I1,2 |  |  |
| I3,4 |  |  |
| V1 | 12V | 12V |
| V2 | 8V | 8V |
| V3 | 11V | 11V |
| V4 | 9V | 9V |

표 4.1 실험4의 결과표



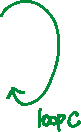
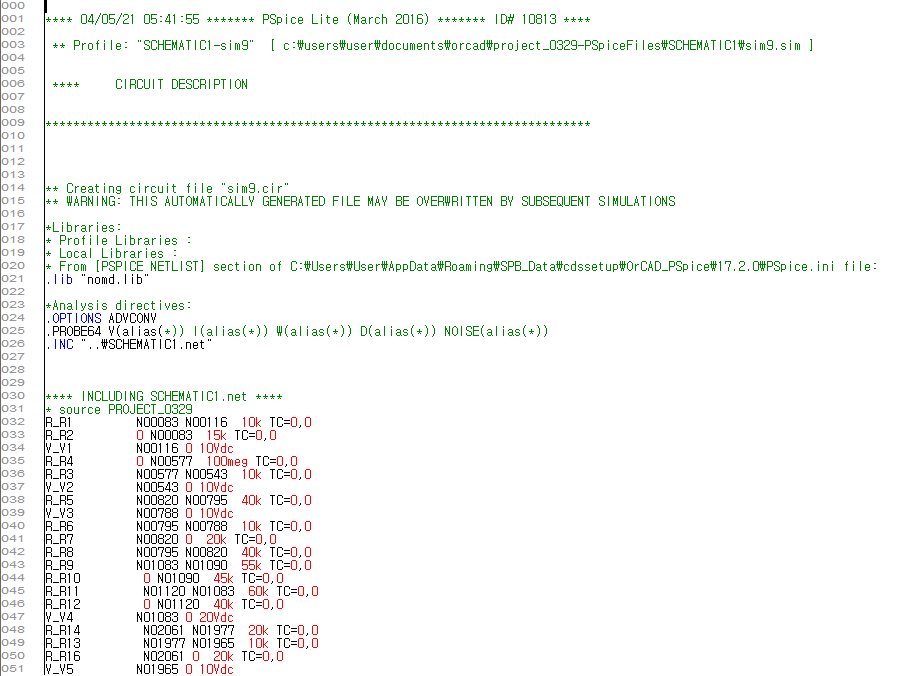


그림 4.5 실험4의 회로에서의 KCL/KVL

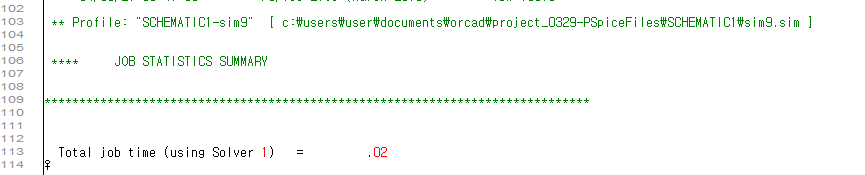
표 4.1의 값들에 따라 실험4 회로에서의 KCL/KVL이 성립함을 확인해보자.

를 통해 병렬로 연결된 각각의 저항 소자들은 전압원에서 흐르는 전류를 분배해서 나눠 가진다는 것을 알 수 있다. 즉 KCL이 성립함을 알 수 있다. KCL을 각각 node a, b에서 확인해보자. node a에서 들어가는 전류는 It이고 나가는 전류는 I1,2와 I3,4가 된다. 또 node b에서 들어가는 전류는 I1,2와 I3,4이고 나가는 전류는 It가 된다. 즉 It=400이고 I2=I3=이므로 It=I2+I3가 된다. 따라서 각 node a, b에서 KCL이 성립하게 된다. 그림 4.3에서 전압원과 병렬 연결된 저항은 전압원과 같은 전압을 가지게 된다. 즉 Vs=V12=V34­이므로 KVL이 성립함을 알 수 있다. 그림 4.1에서도 직렬 연결된 저항에 의해 V12= V1+ V2이고 V34= V3+ V4­­이므로 Vs=V1 +V2= V3 +V4이다. 따라서 KVL이 성립함을 알 수 있다. 실제로 폐회로 loop A, B, C에서의 KVL을 계산해보면

각 폐회로에서 KVL이 성립하는 것을 알 수 있다. – (13)







**그림 5 Pspice \*.out 스크린샷**

1. **고찰** :

이번 실험은 직렬 회로와 병렬 회로에 대한 실험으로, 직렬 회로와 병렬 회로에서의 등가 저항을 구하고 옴의 법칙을 이용해서 각 저항에 걸리는 저항, 전류를 계산한 값과 Pspice를 통해 구한 결과값을 비교하는 실험이었다. 또 계산값을 구할 때 지난 실험을 통해 배운 옴의 법칙과 키르히호프 법칙을 이용할 수 있었으며, 직렬 회로에서는 전류가 동일하고 전압이 분배된다는 것, 병렬 회로에서는 전압이 동일하고 전류가 분배된다는 것을 이번 실험을 통해 학습할 수 있었다. 표1.1, 3.1, 4.1에서의 계산값과 결과값이 동일하다는 것을 통해 각 직렬, 병렬 회로에서의 등가저항 공식이 잘 성립한다는 것을 알 수 있었다. 등가저항으로 회로를 구성하여 회로를 분석하면 등가저항으로 나타내지 않았을 때보다 더욱 수월하게 원하고자 하는 값을 구할 수 있다.

실험1-(6) 문제를 풀기 위해 Pspice를 통해 회로를 구성하는데, Pspice에서 103의 값을 M으로 입력하면 되는 줄 알고 R2의 저항을 100M로 설정하여 100\*10-3로 잘못 계산되는 일이 발생했다. 그 후 M는 10-3이고 103을 입력해주기 위해선 meg로 입력해야 된다는 것을 알아 수정한 후 회로를 Simulation 했다. 앞으론 이런 일이 발생하지 않도록 하기 위해 Pspice 이용법을 숙지해야겠다.

|  |  |
| --- | --- |
| **예비실험 보고서**  **(6주차)** | 학 번 : 122201856  이 름 : 김다영  제출일 : 2021.4.05  분 반 : 002 |

1. 실험 제목 : Circuit Analysis Methods
2. 실험 목적
   1. 실험 목적
      1. 주어진 회로에 대해 Loop Equation을 작성할 수 있다.
      2. 주어진 회로에 대해 Node Equation을 작성할 수 있다.
      3. Loop Equation과 Node Equation을 통해 각 회로에서 구하고자 하는 전압, 전류의 값을 구할 수 있다.
3. 실험 이론
   1. Loop Equation

* Loop Equation을 작성하기 위해선 폐회로(또는 폐경로)를 정의해야 한다.
* 폐회로는 임의로 선택된 마디에서 시작하여 선택된 기본 회로 소자를 통과하여 한 번 이상 어떤 다른 마디를 통과하지 않고 처음의 마디로 되돌아갈 수 있는 경로를 뜻한다.
* Loop Equation 작성 방법
  + 1. 제시된 회로에서 Loop Equation을 작성할 폐회로를 설정한다.
    2. 폐회로에 존재하는 전압에 대해 기준 부호를 설정한다. 폐회로의 방향이 전압 상승 방향과 동일하다면 음의 부호, 전압 강하 방향과 동일하다면 양의 부호를 할당한다. (반대로 부호를 할당해도 문제가 발생하지 않는다.)
    3. 소자의 전압을 모르는 경우에는 옴의 법칙을 이용하여 전압의 값을 설정해준다
    4. Loop Equation을 통해 회로를 분석한다.
  1. Node Equation
* Node Equation을 작성하기 위해선 마디(node)를 정의해야 한다.
* Node는 둘 또는 그 이상의 회로 소자가 만나는 점이다.
* Node Eqution 작성 방법
  + 1. 제시된 회로에서 Node Equation을 작성할 노드를 설정한다.
    2. 노드에 흐르는 전류에 대해 기준 방향의 부호를 설정한다. 노드를 떠나는 전류에는 양의 부호를, 들어오는 전류에는 음의 부호를 할당한다. (반대로 부호를 할당해도 문제가 발생하지 않는다.)
    3. Node Equation을 통해 회로를 분석한다.
* n개의 노드를 갖는 어떤 회로에서 Node Equation을 통해 (n-1)개의 독립 전류 식이 유도될 수 있다. 그렇게 되면 하나의 식이 더 필요로 되는데 이는 Loop Equation으로부터 식을 유도해서 모든 전류의 값을 구할 수 있다.

- 참고문헌 -

[1] [외국] James W. Nilsson. (2019)**.** ELECTRIC CIRCUITS. pearson.

[2] https://www.britannica.com/technology/loop-equation(2021-04-05 방문).

[3]https://www.sciencedirect.com/topics/engineering/node-equation(2021-04-05 방문).